

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-150268

(43)公開日 平成11年(1999) 6 月 2 日

(51)Int.Cl. ⁶	識別記号	F I
H 0 1 L 29/78		H 0 1 L 29/78
21/28	3 0 1	21/28
		3 0 1 X
		3 0 1 T

審査請求 有 請求項の数12 O L (全 13 頁)

(21)出願番号 特願平10-218034

(22)出願日 平成10年(1998) 7 月31日

(31)優先権主張番号 特願平9-245387

(32)優先日 平 9 (1997) 9 月10日

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野田 研二

東京都港区芝五丁目7番1号 日本電気株式会社内

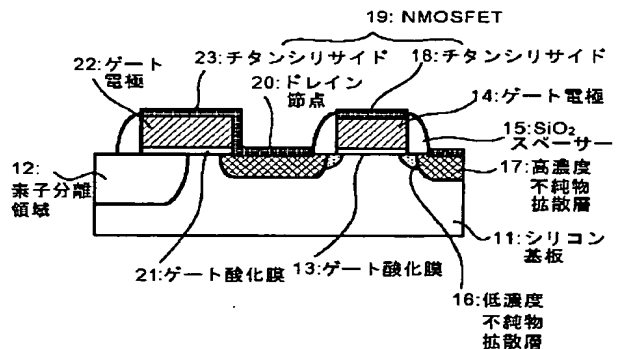
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 少ない製造工程で電流リークのない、ゲート電極と拡散層を接続するための技術を提供する。

【解決手段】 シリコン基板11の主表面に形成されたゲート絶縁膜13、21と、多結晶シリコンからなるゲート電極14、22と、高濃度不純物拡散層17を有し、前記ゲート電極22側面の一部が前記高濃度不純物拡散層と金属シリサイド23を介して電氣的に接続されている。



1

【特許請求の範囲】

【請求項 1】 素子分離領域の形成されたシリコン基板の主表面に形成されたゲート絶縁膜、多結晶シリコンからなるゲート電極、該ゲート電極側壁に LDD-MOSFET 形成のためのスペーサー、及び高濃度不純物拡散層を有する半導体装置において、少なくとも高濃度不純物拡散層形成前に、高濃度不純物拡散層との電気的接続を図る部分の該高濃度不純物層に隣接するゲート側壁に一旦形成されたスペーサーが除去されており、該除去後に形成された高濃度不純物拡散層上に形成された金属シリサイドを介して、前記ゲート電極と前記高濃度不純物拡散層が電気的に接続されることを特徴とする半導体装置。

【請求項 2】 前記金属シリサイドが前記ゲート電極の上面及び一部の側面にも形成されており、該側面から前記高濃度不純物拡散層露出面上にかけて連続して形成された金属シリサイドにより前記ゲート電極と前記高濃度不純物拡散層とが電気的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、前記ゲート電極及び高濃度不純物拡散層の両方を上部配線に同時接続する共通コンタクトと、前記ゲート電極又は前記拡散層のいずれか一方を上部配線に接続する通常コンタクトを有し、該共通コンタクトに埋め込まれたコンタクトプラグにより前記ゲート電極側面と前記高濃度不純物拡散層とが該拡散層上に形成された金属シリサイドを介して電気的に接続されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、前記共通コンタクトとシリコン基板上に形成された高濃度不純物拡散層とが対峙する部分に形成される金属シリサイド層は、少なくともコンタクトが形成されていない高濃度拡散層表面に形成される金属シリサイド層と同じかそれよりも厚く形成されていることを特徴とする半導体装置。

【請求項 5】 前記側壁スペーサーが酸化膜である請求項 1 の半導体装置。

【請求項 6】 前記側壁スペーサーが酸化膜／窒化膜／酸化膜または酸化膜／窒化膜の積層構造であることを特徴とする請求項 1 の半導体装置。

【請求項 7】 少なくとも、(1) シリコン基板の主表面に素子分離を行う工程、(2) ゲート絶縁膜を形成する工程、(3) ゲート電極を形成する工程、(4) ゲート電極側壁に LDD-MOSFET 製造のためのスペーサーを形成する工程、(5) 該形成された側壁スペーサーの一部を除去する工程、(6) 前記素子分離と前記ゲート電極によって定義される領域に高濃度不純物拡散層を形成する工程、及び(7) 少なくとも前記高濃度不純物拡散層露出面上全面に金属シリサイド層を形成する工程を含む半導体装置の製造方法であって、該側壁スペー

2

サーの除去されたゲート電極の側面と高濃度不純物拡散層が前記(7)の工程により形成された金属シリサイドを介して電気的に接続されることを特徴とする半導体装置の製造方法。

【請求項 8】 前記(7)の工程において、金属シリサイド層を、前記ゲート電極側面から前記高濃度不純物拡散層露出面上にかけて連続して形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 請求項 7 に記載の半導体装置の製造方法において、(8) ゲート電極及び高濃度不純物拡散層上に絶縁膜を形成する工程、(9) 該絶縁膜にゲート電極及び高濃度不純物拡散層の両方に接続する共通コンタクトを開口する工程、及び(10) 該共通コンタクトにコンタクトプラグを埋設する工程とを有し、前記共通コンタクトに埋設されたコンタクトプラグにより、前記ゲート電極と高濃度不純物拡散層とが、前記金属シリサイドを介して電気的に接続されていることを特徴とする前記方法。

【請求項 10】 前記側壁スペーサーがシリコン酸化膜である請求項 7 の半導体装置の製造方法。

【請求項 11】 前記側壁スペーサーが酸化膜／窒化膜／酸化膜または酸化膜／窒化膜の積層構造であることを特徴とする請求項 7 の半導体装置の製造方法。

【請求項 12】 ゲート電極形成後の基板主表面全面に窒化膜の薄層を形成した後、酸化膜を形成し、エッチバックしてゲート電極側壁にスペーサーを形成し、該形成されたスペーサーの一部を除去する際に、前記窒化膜をエッチングストッパーとして酸化膜の除去を行った後、露出する窒化膜の除去を行うことを特徴とする請求項 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の構造及びその製造方法に関し、特にゲート電極と不純物拡散層を接続する技術に関する。

【0002】

【従来の技術】従来、ゲート電極などの電極と、不純物拡散層の両方を同時に接続する共通コンタクトを有する半導体装置は図 17 の模式断面図に示すような構成であった。つまり、LOCOS 法やトレンチ分離法を用いて素子分離領域 202 が形成されたシリコン基板 201 の表面には、ゲート酸化膜 203a を介してトランジスタを形成するための多結晶シリコンからなるゲート電極 204a が形成されており、ゲート電極 204a の側面には二酸化シリコンからなるスペーサー 205 が形成されている。基板表面の内、ゲート電極 204a とスペーサー 205 によって定義される領域には LDD トランジスタを構成する低濃度不純物層 206 と高濃度不純物層 207(a, b) が形成されており、高濃度不純物層 207 とゲート電極 204 の表面には低抵抗化のためにチタ

3

ンシリサイド層 208 が形成されている。これらによって N 型 MOSFET 209 が構成されている。又、MOSFET 209 のドレイン節点となる高濃度不純物層 207b に対して電氣的に接続する目的で、シリコン基板 201 と素子分離領域 202 上にゲート酸化膜 203b を介して前記ゲート電極 204a と同じ材料からなる配線電極 204b が形成されている。以上の配線及びトランジスタの上には層間絶縁膜 213 が形成されており、ドレイン節点となる高濃度不純物層 207b の表面と電極 204b の両方に架かるようにポリシリコンやタングステンなどの材料からなるコンタクトプラグが埋め込まれた共通コンタクト 214 が形成されている。又、共通コンタクト 214 は必要に応じて上層配線に接続される。

【0003】この構造では、埋め込まれた共通コンタクト 214 は、スペーサー 205 を跨いでドレイン節点となる高濃度不純物層 207b と電極 204b に電氣的に接続しているため、コンタクト径を小さくしていくと、コンタクト抵抗が上昇してしまうという問題があった。これを解決するための手段が、特開平 4-63436 号公報に開示されている。

【0004】その手段とは、共通コンタクト 214 によって接続すべき部分に形成されていたスペーサー 205 をコンタクト形成前に予め除去しておくことにより、コンタクト径が小さくなくてもコンタクト抵抗が高くない構造になっている。この製造方法を図 19 の工程断面図を用いて説明する。

【0005】LOCOS 法やトレンチ分離法を用いて素子分離領域 202 が形成されたシリコン基板 201 の表面に、ゲート酸化膜 203 を介してトランジスタを形成するための多結晶シリコンからなるゲート電極 204 を形成し、イオン注入等により LDD トランジスタを構成する低濃度不純物層 206 を形成した後、ゲート電極 204 の側面に二酸化シリコンからなるスペーサー 205 を形成する（図 18 (a)）。

【0006】基板表面の内、ゲート電極 204 とスペーサー 205 によって定義される領域にイオン注入により高濃度不純物層 207 を形成し、高濃度不純物層 207 とゲート電極 204 の表面に低抵抗化のためにチタンシリサイド層 208 を形成する（図 18 (b)）。

【0007】該基板表面にレジスト 210 を形成し、パターンニングして、スペーサー除去用の開口部 211 を形成し、該開口部 211 に露出しているスペーサー 205 を除去する（図 18 (c)）。

【0008】レジストを剥離した後、酸化膜及び BPSG 膜からなる層間絶縁膜 212 を形成し、レジストマスクを用いて共通コンタクト孔 213 を形成する（図 18 (d)）。

【0009】共通コンタクト孔 213 に、Ti と TiN の積層構造のバリア膜 215 をスパッター法などによって形成した後、タングステンなどの金属材料 216 を埋

4

め込み、共通コンタクト 214 を形成する（図 18 (e)）。

【0010】

【発明が解決しようとする課題】しかしながら、図 18 に示した従来の技術においては、バリア膜 215 が低濃度不純物拡散層 206 上に形成されるため、共通コンタクト 214 と基板 201 との間で電流リークが発生するという問題があった。

【0011】この電流リークを解消するためには、コンタクト孔 213 を開口した後に高濃度不純物層 207 と同じ導電型の不純物を注入するなどの処置が必要となり、CMOS 構成にするためには NMOS 用に 1 回、PMOS 用に 1 回の、計 2 回のリソグラフィー工程を追加しなければならなかった。

【0012】また、シリコンが露出している部分にコンタクトを形成した場合、いかに高濃度の不純物が導入されていたとしても、コンタクトのアスペクト比が 3 程度のデバイスで 10 倍程度の抵抗値になってしまう。これは主に、アスペクト比の大きいコンタクト底部にはスパッタ法では十分な厚さのバリア膜が形成できないことに起因している。また、シリコン表面の処理が十分でないと簡単に更に 2～3 桁程度も抵抗が上昇してしまう。

【0013】この部分で十分低いコンタクト抵抗が得られないとすると、共通コンタクトの位置合わせズレを厳しく制御しなくてはならなくなる。つまり、共通コンタクトが拡散層とゲート電極の両方に接続されるためには、理想的にはコンタクト径を R とすると、片側 R/2 の目合わせずれが許容される。ところが従来の構造では、幅 W のスペーサーがゲート側壁に形成されると許容幅は (R-W)/2 に減少してしまう。R が小さくなるほどこの影響は大きい。

【0014】本発明は、このような従来の問題点を解決し、少ない製造工程で電流リークのない、ゲート電極と拡散層を接続するための技術を提供することにある。

【0015】

【発明を解決するための手段】本発明の半導体装置は、素子分離領域の形成されたシリコン基板の主表面に形成されたゲート絶縁膜、多結晶シリコンからなるゲート電極、該ゲート電極側壁に LDD-MOSFET 形成のためのスペーサー、及び高濃度不純物拡散層を有する半導体装置において、少なくとも高濃度不純物拡散層形成前に、高濃度不純物拡散層との電氣的接続を図る部分の該高濃度不純物層に隣接するゲート側壁に一旦形成されたスペーサーが除去されており、該除去後に形成された高濃度不純物拡散層上に形成された金属シリサイドを介して、前記ゲート電極と前記高濃度不純物拡散層が電氣的に接続されることを特徴としている。

【0016】また、その製造方法は、少なくとも、

(1) シリコン基板の主表面に素子分離を行う工程、

(2) ゲート絶縁膜を形成する工程、(3) ゲート電極

5

を形成する工程、(4)ゲート電極側壁にLDD-MOSFET製造のためのスペーサーを形成する工程、

(5)該形成された側壁スペーサーの一部を除去する工程、(6)前記素子分離と前記ゲート電極によって定義される領域に高濃度不純物拡散層を形成する工程、及び(7)少なくとも前記高濃度不純物拡散層露出面に全面に金属シリサイド層を形成する工程を含む半導体装置の製造方法であって、該側壁スペーサーの除去されたゲート電極の側面と高濃度不純物拡散層が前記(7)の工程により形成された金属シリサイドを介して電氣的に接続されることを特徴としている。

【0017】

【発明の実施の形態】本発明の半導体装置は、以下のよう原理に基づいて製造される。

【0018】シリサイド法によって拡散層とゲート電極上にシリサイド層を形成する場合、通常はチタンやコバルトなどの金属を被着する前にゲート電極の側面に絶縁性のスペーサーを形成して、ゲートとシリコン基板が短絡するのを防いでいる。本発明では、スペーサーを形成した直後に部分的にスペーサーを除去すると、シリサイド工程でゲート側面にもシリサイドが形成される。このとき、反応後のシリサイド膜厚をゲート電極下に形成されるゲート酸化膜の膜厚よりも十分大きくしておくことにより、ゲート酸化膜を越えてゲート電極上のシリサイド膜と拡散層上のシリサイド膜が繋がることにより、ゲート電極と拡散層とが電氣的に接続される。また、スペーサーを除去した後、シリサイド形成前に高濃度不純物拡散層を形成するためのイオン注入を行えば、基板上に形成されるシリサイドの下全部が高濃度不純物拡散層となるため、電流リークは発生しなくなる。

【0019】また、製造条件によっては金属シリサイド層がゲート電極と不純物拡散層の境目で切れてしまい、金属シリサイド層のみによって電氣的接続を図ることができなくなる場合がある。この場合には、図10(c)に示すようにゲート電極と高濃度不純物拡散層の両方を上部配線と繋ぐ共通コンタクトに埋め込まれるコンタクトプラグを用いることにより、たとえ金属シリサイド層に切れ目が入っていたとしても、ゲート電極と高濃度不純物拡散層を電氣的に接続することができる。一見、従来技術との差異があまり無い様に見えるが、本発明では、高濃度不純物拡散層が完全に金属シリサイド層で覆われており、コンタクトプラグがシリコン基板に接する部分すべてで金属シリサイド層を介して接続されるため、例えば、コンタクトのリソグラフィー工程で位置ずれ許容量が緩和される。また、コンタクトプラグがシリコン基板と接する部分では高濃度不純物拡散層が形成されていることから、基板への電流リークが抑えられる。更にアスペクト比の高いコンタクトを開口した場合でも、コンタクトの底となる部分にはすでに金属シリサイド膜が形成されていることで、十分に低抵抗化が図れ

6

る。

【0020】

【実施例】以下、本発明の実施例について図面を参照して説明するが、本発明はこれらの実施例のみに限定されるものではない。

【0021】実施例1

図1は本発明の一実施形態の構成の平面図である。活性領域(高濃度不純物拡散層露出面)1とその上に横たわるゲート電極2によってMOSFETが形成されており、活性領域1の端部にはゲート電極2と同時に形成された配線となるゲート電極3が横たわっている。又、活性領域1、ゲート電極2及び3の表面には全てチタンシリサイドが形成されている。このとき、ゲート電極2及び3と活性領域1とは二酸化シリコン膜からなる側壁スペーサーによってそれぞれ絶縁されているが、側壁スペーサーの一部が除去された部分4で、ゲート電極3と活性領域1とがチタンシリサイドによって短絡されている。

【0022】図2は図1の平面図のX-X'線での断面図である。LOCOS法やトレンチ分離法を用いて素子分離領域12が形成されたシリコン基板11の表面には、ゲート酸化膜13を介してトランジスタを形成するための多結晶シリコンからなるゲート電極14が形成されており、ゲート電極14の両側面には二酸化シリコン(SiO₂)からなるスペーサー15が形成されている。このようにゲート電極14とスペーサー15によって定義される領域にはLDDトランジスタを構成する低濃度不純物拡散層16と高濃度不純物拡散層17が形成されており、高濃度不純物拡散層17とゲート電極14の表面には低抵抗化のためのチタンシリサイド層18が形成されている。これらによってN型MOSFET19が形成されている。また、NMOSFET19のドレイン節点20に対して電氣的に接続する目的で、シリコン基板11と素子分離領域12上にゲート酸化膜13と同層のシリコン酸化膜21を介してゲート電極14と同じ配線層からなるゲート電極22が形成されており、ドレイン節点20となる高濃度不純物拡散層の表面と電極22の表面乃至側面にはチタンシリサイド層23が形成され、高濃度不純物拡散層からなるドレイン節点20と電極22とが電氣的に接続されている。なお、上記説明では、シリサイド層としてチタンシリサイドを例に説明しているが、もちろんその他のシリサイド、例えばコバルトシリサイドやその他の金属のシリサイドでも良いことは明らかである。

【0023】以上の構造を実現するための製造方法について、図3及び図4を用いて説明する。

【0024】まず、図3(a)に示すように、通常のMOSFETの製造方法に従って、P型の不純物が導入されたシリコン基板11上にLOCOS法あるいは溝分離法によって素子分離領域12を形成する。これらの表面

7

上には例えば5 nm厚のシリコン酸化膜からなるゲート酸化膜13を介して、例えば150 nm厚の多結晶シリコンからなるゲート電極材料が形成され、所望の形状にパターニングしてゲート電極14及び22を形成する。その後、全面に例えば5 E 13の珪素を20 KeVのエネルギーで注入してLDD層（低濃度不純物拡散層）16を形成する。

【0025】次に、ゲート電極14及び22の形成されたシリコン基板上の全面にシリコン酸化膜を100 nm程度堆積した後、異方性ドライエッチングによってエッチバックを施し、図3（b）に示すように、ゲート電極14及び22の側面にSiO₂スペーサー15を形成する。

【0026】次に、図1中のスペーサー開口部4を開くためのマスクを用いて、図3（c）に示すようにフォトリソスト31のパターニングを行った後、このフォトリソスト31をマスクにSiO₂スペーサー15の一部をドライエッチングあるいはバッファードフッ酸などを用いたウェットエッチングによって除去する。

【0027】次に、図4（a）に示すように、フォトリソストを剥離した後に、基板全面に10 nm程度のシリコン酸化膜41を堆積し、更に全面に3 E 15の珪素を40 KeVのエネルギーで注入した後、1000℃で10秒程度アニールして、拡散層（高濃度不純物拡散層）17及びLDD層16の活性化を行う。

【0028】次に、バッファードフッ酸などを用いてシリコン酸化膜41を除去して拡散層17とゲート電極14及び22の表面を露出させた後、図4（b）に示すように全面にチタン膜42を30 nm程度スパッタ法などで形成する。

【0029】図4（c）に示すように、通常のシリサイド法によって、チタン膜42とシリコンを反応させて拡散層17の表面とゲート電極14及び22の表面とゲート電極22の露出している側面にチタンシリサイド18及び23を形成した後、未反応のチタンを除去する。このシリサイド反応の過程において、5 nmのシリコン酸化膜21で隔離されたゲート電極23の側面と拡散層17とがチタンシリサイド層23で接続される。

【0030】実施例2

上記実施例1で、図1に示した活性領域の幅が非常に小さい時、スペーサーを除去する領域4が位置合わせのズレによって活性領域1の外側にかかってしまう場合、スペーサーを除去するシリコン酸化膜のエッチバックの際に素子分離領域内のシリコン酸化膜をも掘り下げてしまう可能性がある。これを回避するための手段を含む構成を以下に説明する。

【0031】図5は実施例2の構成を示す模式的断面図であって、実施例1と平面的には同様であって、やはり図1のX-X'での切断面を示している。

【0032】まず、LOCOS法やトレンチ分離法を用

8

いて素子分離領域52が形成されたシリコン基板51の表面には、ゲート酸化膜53を介してトランジスタを形成するための多結晶シリコンからなるゲート電極54が形成されており、ゲート電極54の側面とシリコン基板51表面に接する様に10 nm程度の二酸化シリコン55を介してシリコン窒化膜からなるスペーサー56が形成されており、基板表面のうちゲート電極54とスペーサー56によって定義される領域にはLDDトランジスタを構成する低濃度不純物拡散層57と高濃度不純物拡散層58が形成されている。又、高濃度不純物拡散層58とゲート電極54の表面には、低抵抗化のためにコバルトシリサイド層59が形成されている。これらによってN型MOSFET60が構成されている。また、MOSFET60のドレイン節点61に対して電氣的に接続する目的で、シリコン基板51と素子分離領域52上にゲート酸化膜53と同層のシリコン酸化膜62を介してゲート電極と同じ配線層からなる電極63が形成されている。ここでもドレイン節点61となる高濃度不純物拡散層の表面と電極63の表面乃至側面にはコバルトシリサイド層64が形成され、両者を電氣的に接続する役目を担っている。なお、上記説明では、シリサイド層としてコバルトシリサイドを例に説明しているが、もちろんその他のシリサイド、例えばチタンシリサイドやその他の金属のシリサイドでも良いことは明らかである。

【0033】以上の構造を実現するための製造方法について、図6乃至図8を用いて説明する。

【0034】まず、図6（a）に示すように、通常のMOSFETの製造方法に従って、P型の不純物が導入されたシリコン基板51上にLOCOS法あるいは溝分離法によって素子分離領域52を形成する。これらの表面上には例えば5 nm厚のシリコン酸化膜からなるゲート酸化膜53を介して、例えば150 nm厚の多結晶シリコンからなるゲート電極材料が形成され、所望の形状にパターニングしてゲート電極54及び63を形成する。その後、全面に例えば5 E 13の珪素を20 KeVのエネルギーで注入してLDD層（低濃度不純物拡散層）56を形成する。

【0035】次に、ゲート電極54及び63の形成されたシリコン基板上の全面にシリコン酸化膜55を10 nm程度堆積した後、更に全面に100 nm程度のシリコン窒化膜65を堆積する。ここでは、シリコン酸化膜を堆積する代わりに熱酸化法によってシリコン基板51とゲート電極54及び63の表面にシリコン酸化膜を形成しても良い。

【0036】次に異方性ドライエッチングによってエッチバックを施し、図6（c）に示すように、ゲート電極54及び63の側面にSi₃N₄スペーサー56を形成する。このとき、ゲート電極54及び63の側面とスペーサー56との間、及びスペーサー56とシリコン基板51との間にはシリコン酸化膜55が挟まれているため、

9

熱膨張係数の差によって基板内に結晶欠陥が発生するのを抑えている。本実施例ではスペーサーの無い部分、つまり、ゲート電極54及び63の上面及びスペーサー部分以外の基板上のシリコン酸化膜はエッチングの際に同時に除去しているが、そのままエッチングせずに残存させても良い。

【0037】次に、図7(a)に示すように、全面に20nm程度のシリコン酸化膜71を堆積する。続いて、図1中のスペーサー開口部4を開口するためのマスクを用いて、図7(b)に示すようにフォトレジスト72の10 パターニングを行った後、このフォトレジスト72をマスクにしてドライエッチングあるいはバッファードフッ酸などを用いたウェットエッチングによって前記シリコン酸化膜71の一部を除去する。

【0038】次に、図7(c)に示すように、フォトレジスト72を剥離した後に、リン酸などを用いた窒化膜ウェットエッチングを行うことによって、シリコン酸化膜71で覆われていない部分のスペーサー56を除去する。

【0039】図8(a)に示すように、バッファードフッ酸などを用いたウェットエッチングにより露出した部分のシリコン酸化膜71を除去する。このとき、エッチング時間を調節して、スペーサー56と基板51及びゲート電極54及び63との間に形成されているシリコン酸化膜55が必要以上にエッチングされないようにするのが肝要である。

【0040】再度、基板全面に10nm程度のシリコン酸化膜81を堆積し、更に全面に3E15の砒素を40KeVのエネルギーで注入した後、1000℃で10秒程度アニールして、拡散層(高濃度不純物拡散層)58及びLDD層56の活性化を行う(図8(b))。

【0041】次に、バッファードフッ酸などを用いてシリコン酸化膜81を除去して拡散層58とゲート電極54及び63の表面を露出させた後、図8(c)に示すように全面にコバルト膜82を10nm程度スパッタ法などで形成する。

【0042】最後に、通常のシリサイド法によって、コバルト膜82とシリコンを反応させて拡散層58の表面とゲート電極54及び63の表面とゲート電極63の露出している側面にコバルトシリサイド59及び64を形成した後、未反応のコバルトを除去することで図5に示す構造が得られる。このシリサイド反応の過程において、5nmのゲート酸化膜62で隔離されたゲート電極64の側面と拡散層58とがコバルトシリサイド層64で接続される。

【0043】実施例3

製造条件によっては金属シリサイド層がゲート電極と不純物拡散層の境目で切れてしまい、金属シリサイド層のみによって電氣的接続を図ることができなくなる場合があるが、以下にこれを解決する実施例をP型基板にN型

10

MOSFETを形成する場合を例に挙げて説明する。図9及び図10にその製造工程を示す。

【0044】1) まず、通常のLDD-MOSFETの製造方法に沿って、シリコン基板101上に素子分離領域102を形成し、基板表面を酸化して6nmのゲートSiO₂膜103を形成した後、200nm程度の厚さのポリシリコンからなるゲート電極104を形成する。次に、5×10¹³程度の砒素イオンを20KeV程度のエネルギーで注入し、LDD層106を形成する。さらに、全面にノンドープSiO₂膜をCVD法によって100nm程度堆積した後、全面をエッチバックしてゲート電極側壁にLDDスペーサー107を形成する。2×10¹⁵程度の砒素イオンを注入してN型ソース・ドレイン拡散層を形成する(図9(a))。

【0045】2) 共通コンタクトを形成すべき部分を含むスペーサーを除去するためにフォトレジスト108をパターニングし、これをマスクにして異方性プラズマ・エッチング法あるいはバッファードフッ酸などを使ったウェットエッチング法によって共通コンタクトを形成すべき部分109の酸化膜スペーサー107を除去する(図9(b))。

【0046】3) レジスト108を剥離した後、全面に2×10¹⁵程度Asイオンを40KeV程度のエネルギーで注入し、トランジスタのソース・ドレインを構成する高濃度不純物拡散層110を形成する(図9

(c))。このイオン注入の前に、基板への結晶欠陥の発生やチャネリングを防止するために10nm程度の酸化膜をCVD法などで形成しておく更に望ましい。更に、拡散層110とゲート電極104の上面にチタン、ニッケルやコバルトなどのシリコンと反応して合金を生成しうる高融点金属をスパッタ法などで被着させ、熱処理を施してシリサイド層111を形成する(図10(a))。このとき、特にスパッタ法を用いるとステップカバレッジに乏しいためにゲートの側壁にはシリサイドが形成されにくい。また、側壁に形成されたとしてもゲート酸化膜があるためにゲート電極104と拡散層110は電氣的に分離されやすくなる。

【0047】また、特にスペーサーを除去する際に異方性エッチングを行うとゲート電極104の側壁に5から20nmの酸化膜が残存する事もあるので、この場合にもゲート電極104と拡散層110は電氣的に分離される。

【0048】4) 上記の工程で形成されたトランジスタを含む基板表面全面に、ノンドープSiO₂膜112をCVDで100nm程度堆積した後、BPSG膜113をCVD法により1000nm程度堆積し、全面をCMP法で平坦化する。更に、レジスト・マスクを使って、上記通常のコンタクトを開口して、異方性エッチングによってBPSG膜113およびノンドープSiO₂膜112をエッチングして、拡散層上のシリサイド層111

11

またはゲート電極に達するコンタクト孔 114 を形成する (図 10 (b))。

【0049】4) 次にコンタクト孔 114 内には、全面に 30 nm 程度のチタン膜、続いて 100 nm 程度の窒化チタン膜をスパッタ法によって堆積してバリアメタル層 115 を形成する。続いて、タングステンを全面に CVD 法で堆積した後にエッチバックする事によって、コンタクト孔 114 の内部にタングステンプラグ 116 を埋設することにより図 10 (c) に示す構成が得られる。

【0050】この製造方法にも更に改善すべき点がある。例えば、SRAM のような極めて微細な拡散層を実現しなければならない場合、図 11 の平面図に示したように共通コンタクト孔 5 が活性領域 1 から外れて素子分離領域に掛かってしまうことがある。この場合、当然のことながらスペーサーを除去する際のマスク 4 も素子分離領域に掛かってしまうことが予想される。スペーサー除去の際のエッチング工程では通常 30 % から 100 % のオーバーエッチを行わないとウェハー全面で均一に除去されないの、ウェットエッチングなどの等方性エッチングの場合には、図 12 (a) に示すように、また、異方性エッチングの場合には、図 12 (b) に示すように素子分離に埋設された絶縁膜もエッチングされてしまう。尚、図 12 は、図 11 の Y-Y' の断面図を示している。このとき出来た細くて深い溝 (116、117) はステップカバレッジの良くない層間膜堆積時に埋め込むことは出来ず、デバイス完成時まで残ってしまい、信頼性上の問題を引き起こす可能性がある。この点を改善するための実施例を次に示す。

【0051】実施例 4

P 型基板に N 型 MOSFET を形成する場合を例に挙げて、図 13 ~ 15 に示す工程断面図を参照して説明する。

【0052】1) まず、通常の LDD-MOSFET の製造方法に沿って、シリコン基板上 121 に素子分離領域 122 を形成し、基板表面を酸化して 6 nm のゲート SiO₂ 膜 123 を形成した後、200 nm 程度の厚さのポリシリコンからなるゲート電極 124 を形成する。次に、 5×10^{13} 程度 As イオンを 20 KeV 程度のエネルギーで注入し、LDD 層 126 を形成する。さらに、全面にノンドープ Si₃N₄ 膜 125 を減圧 CVD 法によって 20 nm 程度堆積する (図 13 (a))。

【0053】2) 全面にノンドープ SiO₂ 膜を CVD 法によって 100 nm 程度堆積した後、窒化膜 125 に対して選択比が少なくとも 3 : 1 以上あるエッチング条件で全面の酸化膜をエッチバックしてゲート電極側壁に LDD スペーサー 107 を形成する (図 13 (b))。

【0054】3) 共通コンタクトを形成すべき部分を含むスペーサーを除去するためのレジスト・マスク 128

12

を形成し、これをマスクにして酸化膜に対する選択比が少なくとも 3 : 1 以上あるエッチング条件の酸化膜ドライエッチング、あるいはバッファード・フッ酸などを使ったウェットエッチング法によって該マスク開口部の共通コンタクトを形成すべき部分 129 に露出するスペーサーを除去する (図 13 (c))。

【0055】4) レジスト・マスク 128 を剥離した後、ドライエッチングあるいは燐酸などを使ったウェットエッチング法によって、露出した窒化膜 125 を除去する (図 14 (a))。

【0056】5) 全面に 2×10^{15} 程度 As イオンを 40 KeV 程度のエネルギーで注入し、トランジスタのソース・ドレインを構成する高濃度不純物拡散層 130 を形成する。このイオン注入の前に、基板への結晶欠陥の発生やチャネリングを防止するために 10 nm 程度の酸化膜 (不図示) を CVD 法などで形成しておくに更に望ましい。更に、拡散層 130 とゲート電極 124 の上面にチタンやコバルトなどの高融点金属をスパッタ法などで被着させ、熱処理を施してシリサイド化し、シリサイド層 131 を形成する (図 14 (b))。このとき、特にスパッタ法を用いるとステップカバレッジに乏しいためにゲートの側壁にはシリサイドが形成されにくい。また、側壁に形成されたとしてもゲート酸化膜があるためにゲートと拡散層は電気的に分離されている。

【0057】6) 実施例 3 と同様に、上記の工程で形成されたトランジスタを含む基板表面全面に、ノンドープ SiO₂ 膜を CVD で 100 nm 堆積した後、BPSG 膜 132 を CVD 法により 1000 nm 程度堆積し、全面を CMP 法で平坦化する。更に、レジスト・マスクを使って、上記通常のコンタクトを開口して、異方性エッチングによって BPSG 膜およびノンドープ SiO₂ 膜をエッチングして、拡散層またはゲート電極に達するコンタクト孔を形成する。コンタクト孔内には、全面に 30 nm 程度のチタン膜、続いて 100 nm 程度の窒化チタン膜をスパッタ法によって堆積してバリアメタル層を形成する。続いて、タングステンを全面に CVD 法で堆積した後にエッチバックする事によって、コンタクト孔の内部にタングステンを埋設する。 (図 14 (c))。

【0058】その後、前記実施例 3 と同様に、層間絶縁膜 132 を積層した後 (図 15 (a))、フォトリソレジスト 133 を用いてコンタクト孔 134 を層間絶縁膜 132 の所定部位に形成し (図 15 (b))、レジスト剥離後、バリア膜 135 及びコンタクトプラグ 136 を埋め込んで図 15 (c) に示す半導体装置を得る。

【0059】図 16 に示したように、スペーサーを除去するためのマスクが素子分離領域に掛かった場合でも窒化膜 125 がストッパーとなって、素子分離に埋設された絶縁膜がエッチングされることはない。

【0060】以上の本発明の実施例は、NMOSFET によって構成されているが、もちろん PMOSFET や

13

両者を組み合わせたCMOSによって構成することもできる。

【0061】

【発明の効果】以上説明したように、本発明の半導体装置及びその製造方法は、ゲート側壁のスペーサーを部分的に除去するだけで、サリサイド工程で自動的にゲート電極と拡散層とを電氣的に接続できるので、接続のための工程増加を最小限に抑えることができる。又、シリサイド化された拡散層の下全面が高濃度の拡散層で覆われているため、コンタクト形成後にイオン注入を行わなく

ても電流リークが起こらないという効果も特筆すべき点である。

【0062】また、製造条件等によってシリサイド層がゲート電極側壁に形成されないような場合であっても、その部分に共通コンタクト孔を形成し、埋め込まれたコンタクトプラグでゲート電極と高濃度不純物拡散層とを電氣的に接続でき、コンタクト孔底にあたる基板にはシリサイド層で覆われた高濃度不純物拡散層があるため、基板への電流リークはない。

【0063】更に、SRAMのような極めて微細な拡散層を実現しなければならない場合であっても、LDD-MOSFETを構成する側壁スペーサーを酸化膜/窒化膜/酸化膜または酸化膜/窒化膜の積層構造とし、形成される窒化膜を酸化膜除去の際のエッチングストップとして機能させることにより、側壁スペーサーを除去する場合の開口部がたとえ素子分離にかかったとしても、素子分離に埋設された絶縁膜がエッチングされることはない。

【図面の簡単な説明】

【図1】本発明による半導体装置の一実施形態の構成を示す平面図である。

【図2】本発明による半導体装置の一実施形態の構成を示すもので、図1のX-X'での模式的断面図である。

【図3】図2の半導体装置の製造方法を示す工程図である。

【図4】図2の半導体装置の製造方法を示す工程図である。

【図5】本発明による半導体装置の別の実施形態の構成を示すもので、図1のX-X'での模式的断面図である。

【図6】図5の半導体装置の製造方法を示す工程図である。

【図7】図5の半導体装置の製造方法を示す工程図である。

【図8】図5の半導体装置の製造方法を示す工程図である。

14

【図9】本発明の第3の実施例を説明する工程断面図である。

【図10】本発明の第3の実施例を説明する残りの工程断面図である。

【図11】スペーサー開口部が素子分離領域にかかってしまった場合の平面図である。

【図12】図11に示す場合に素子分離領域がエッチングされる状態を示す図11のY-Y'での断面図であり、(a)は等方性エッチング、(b)は異方性エッチングを施した場合を示している。

【図13】本発明の第4の実施例を説明する工程断面図である。

【図14】本発明の第4の実施例を説明する残りの工程断面図である。

【図15】本発明の第4の実施例を説明する残りの工程断面図である。

【図16】本発明の第4の実施例を実施した場合の図11 Y-Y'での断面図である。

【図17】従来のCMOSの模式的断面図である。

【図18】従来の別のCMOSの製造工程を示す模式的断面図である。

【符号の説明】

1 活性領域

2, 3 ゲート電極

4 スペーサー開口部

11, 51, 101, 121 シリコン基板

12, 52, 102, 122 素子分離領域

13, 21, 53, 62, 103, 123 ゲート酸化膜

14, 22, 54, 63, 104, 124 ゲート電極

15 SiO₂スペーサー

16, 57, 106, 126 低濃度不純物拡散層

17, 58, 107, 130 高濃度不純物拡散層

18, 23 チタンシリサイド

19, 60 NMOSFET

20, 61 ドレイン節点

31, 72 フォトレジスト

41, 55, 71, 81 シリコン酸化膜

42 チタン

56 Si₃N₄スペーサー

59, 64 コバルトシリサイド

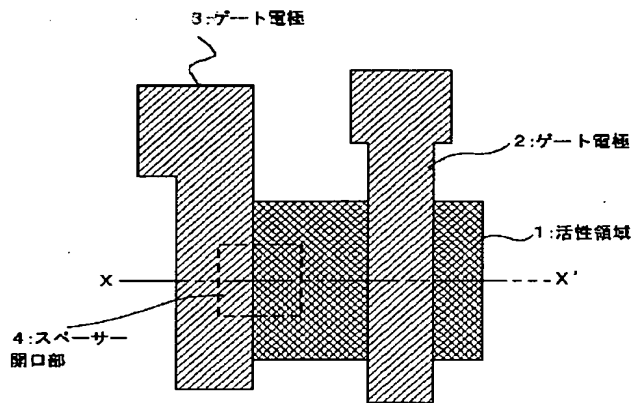
65 シリコン窒化膜

82 コバルト

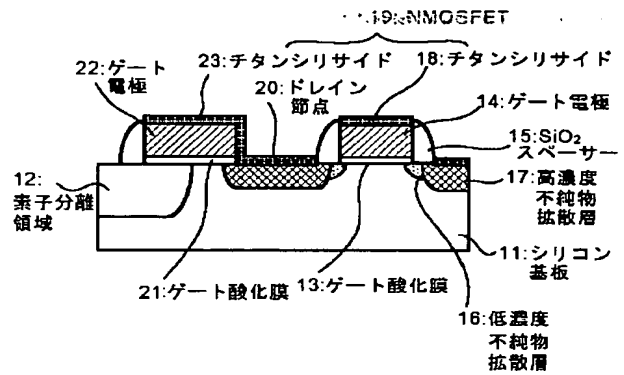
111, 131 シリサイド層

125 窒化膜

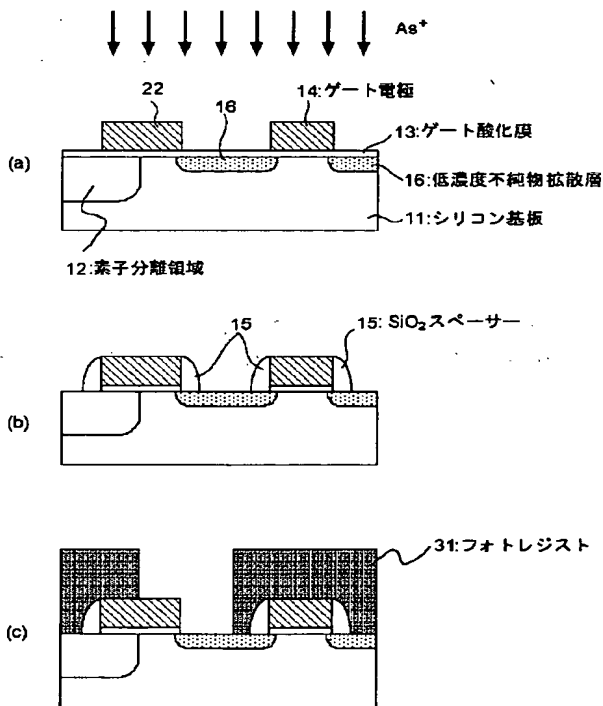
【図1】



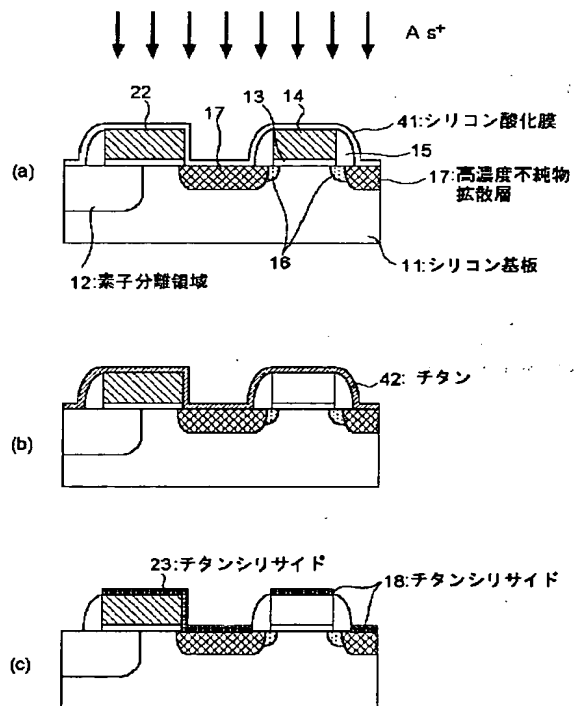
【図2】



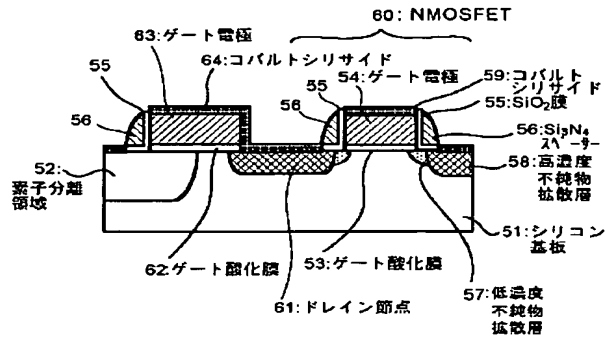
【図3】



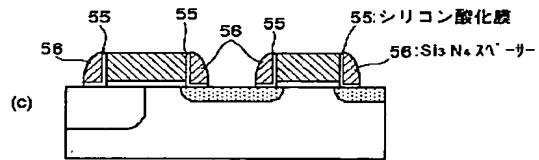
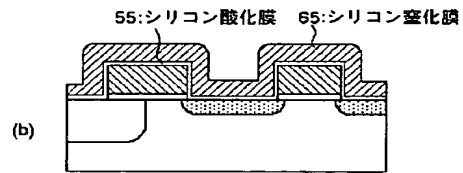
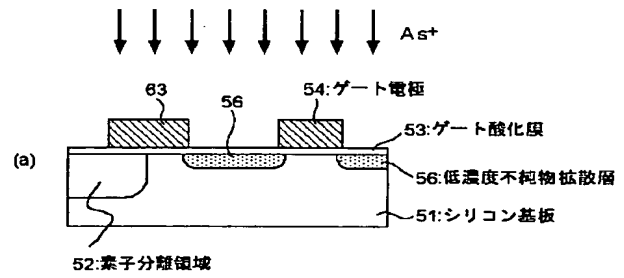
【図4】



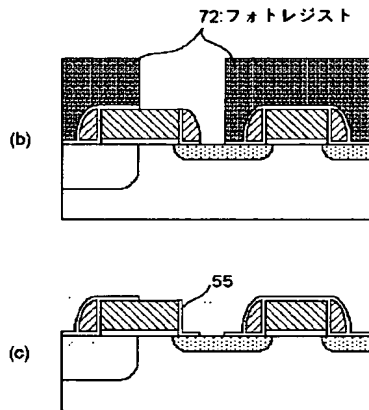
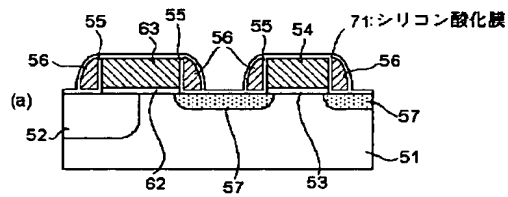
【図 5】



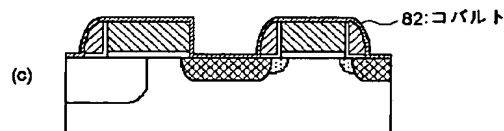
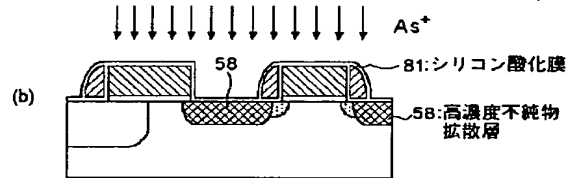
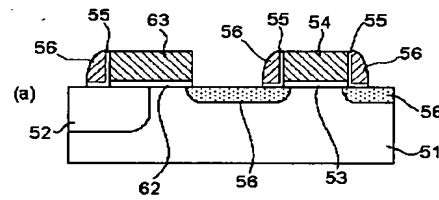
【図 6】



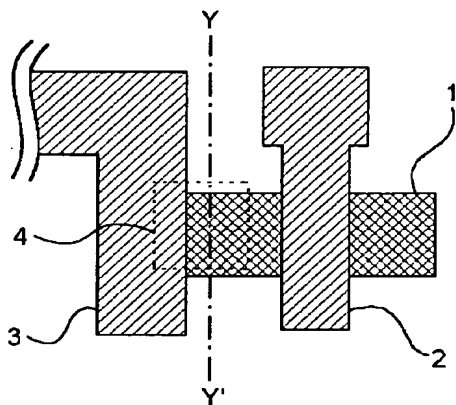
【図 7】



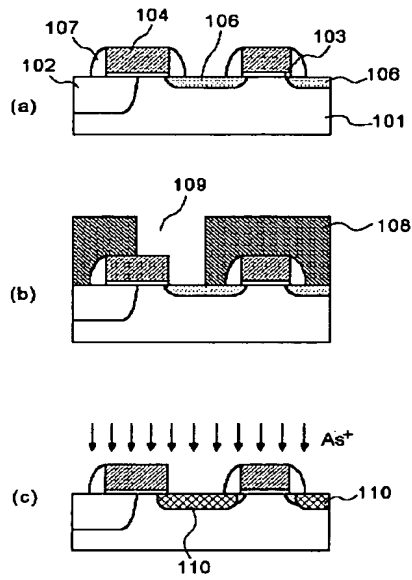
【図 8】



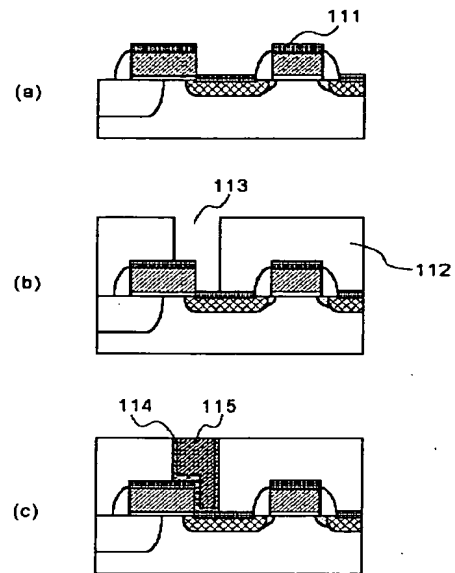
【図 11】



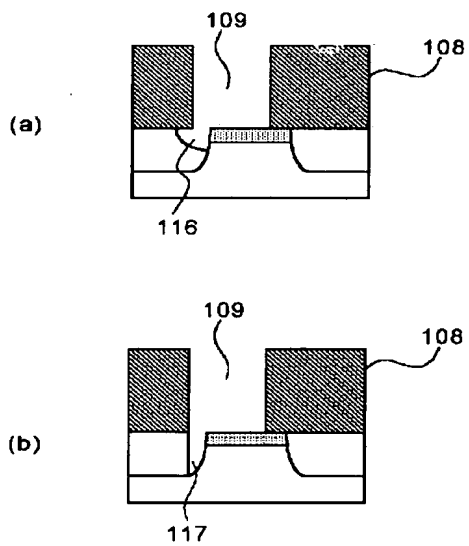
【図 9】



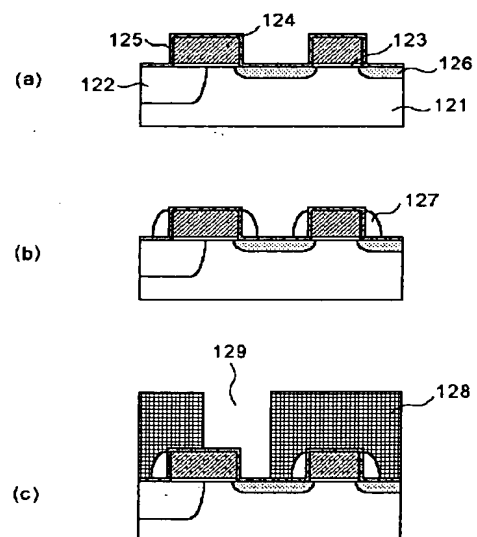
【図 10】



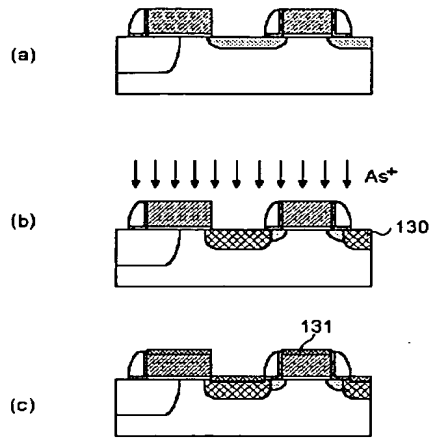
【図 12】



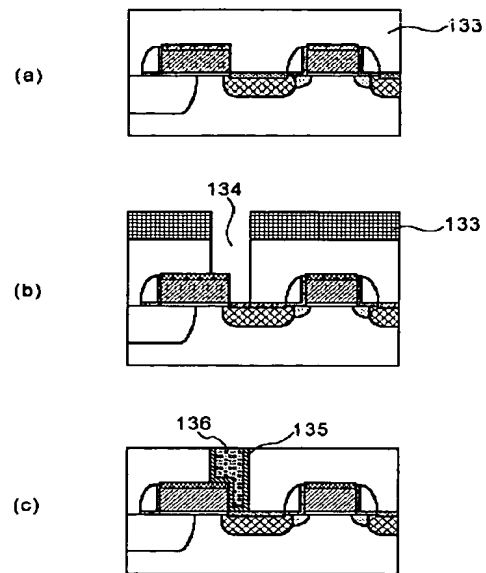
【図 13】



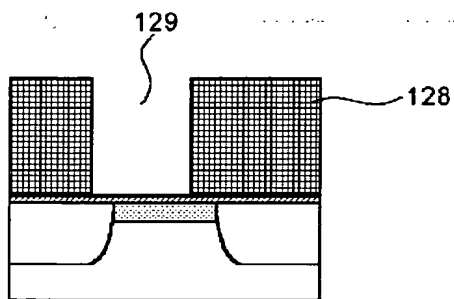
【図 14】



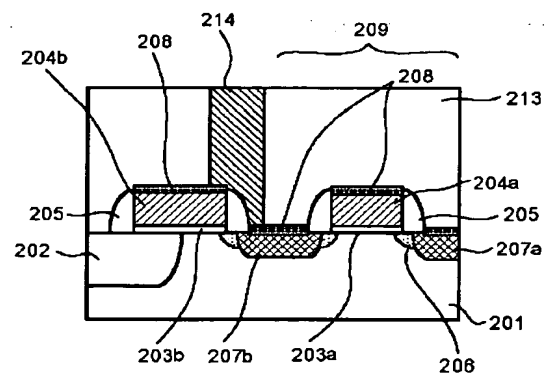
【図 15】



【図 16】



【図 17】



【図 18】

